

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 4月 1日

出願番号

Application Number:

特願2003-098423

[ST.10/C]:

[JP2003-098423]

出願人

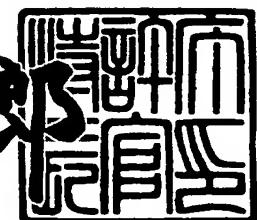
Applicant(s):

沖電気工業株式会社

2003年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3052692

【書類名】 特許願
【整理番号】 KT000473
【提出日】 平成15年 4月 1日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H01L 27/00
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 市川 憲治
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100095957
【弁理士】
【氏名又は名称】 亀谷 美明
【電話番号】 03-5919-3808
【選任した代理人】
【識別番号】 100096389
【弁理士】
【氏名又は名称】 金本 哲男
【電話番号】 03-3226-6631
【選任した代理人】
【識別番号】 100101557
【弁理士】
【氏名又は名称】 萩原 康司
【電話番号】 03-3226-6631
【手数料の表示】
【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 第1導電型MOS出力トランジスタのドレインに接続される出力電極から入るサージに対して、前記第1導電型MOS出力トランジスタを保護する半導体装置において、

前記第1導電型MOS出力トランジスタのドレインに接続されるドレインと、前記第1導電型MOS出力トランジスタのソースに接続されるソースと、前記第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続されたゲートとを有する第1導電型MOS保護トランジスタを含むことを特徴とする半導体装置。

【請求項2】 前記第1導電型MOS保護トランジスタは、前記第1導電型MOS出力トランジスタよりも静電破壊耐圧が高いことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1導電型MOS保護トランジスタのドレインは、前記第1導電型MOS出力トランジスタのドレインよりも出力電極近くに形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記第1導電型MOS保護トランジスタのゲートは、前記第1導電型MOS出力トランジスタのゲート電極下の前記第2導電型層に電極配線によって接続されていることを特徴とする請求項1、2または3のいずれかに記載の半導体装置。

【請求項5】 前記第1導電型MOS出力トランジスタ及び前記第1導電型MOS保護トランジスタは、SOI構造であることを特徴とする請求項1、2、3または4のいずれかに記載の半導体装置。

【請求項6】 前記第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続される第2導電型領域を有し、

前記第1導電型MOS保護トランジスタのゲートは、前記第2導電型領域を介して前記第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 ソースが電源に接続される第1導電型MOS出力トランジスタ及びソースが接地される第2導電型MOS出力トランジスタの各ドレインに接続される出力電極から入るサージに対して、前記第1導電型MOS出力トランジスタ及び前記第2導電型MOS出力トランジスタを保護する半導体装置において、

前記第1導電型MOS出力トランジスタのドレインに接続されるドレインと、前記第1導電型MOS出力トランジスタのソースに接続されるソースと、前記第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続されたゲートとを有する第1導電型MOS保護トランジスタと、

前記第2導電型MOS出力トランジスタのドレインに接続されるドレインと、前記第2導電型MOS出力トランジスタのソースに接続されるソースと、前記第2導電型MOS出力トランジスタのゲート下の第1導電型層に接続されたゲートとを有する第2導電型MOS保護トランジスタを含むことを特徴とする半導体装置。

【請求項8】 前記第1導電型MOS保護トランジスタ及び前記第2導電型MOS保護トランジスタは、前記第1導電型MOS出力トランジスタ及び前記第2導電型MOS出力トランジスタよりも静電破壊耐圧が高いことを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第1導電型MOS保護トランジスタ及び前記第2導電型MOS保護トランジスタのドレインは、前記第1導電型MOS出力トランジスタ及び前記第2導電型MOS出力トランジスタのドレインよりも出力電極近くに形成されていることを特徴とする請求項7または8に記載の半導体装置。

【請求項10】 前記第1導電型MOS保護トランジスタ及び前記第2導電型MOS保護トランジスタのゲートは、前記第1導電型MOS出力トランジスタ及び前記第2導電型MOS出力トランジスタのゲート電極下の前記第2導電型層及び前記第1導電型層の各々に、電極配線によって接続されていることを特徴とする請求項7、8または9のいずれかに記載の半導体装置。

【請求項11】 前記第1導電型MOS出力トランジスタ、前記第1導電型MOS保護トランジスタ、前記第2導電型MOS出力トランジスタ及び前記第2

導電型MOS保護トランジスタは、SOI構造であることを特徴とする請求項7
8, 9または10のいずれかに記載の半導体装置。

【請求項12】 前記第1導電型MOS出力トランジスタのゲート下の第2
導電型層に接続される第2導電型領域と、前記第2導電型MOS出力トランジス
タのゲート下の第1導電型層に接続される第1導電型領域とを有し、

前記第1導電型MOS保護トランジスタのゲートは、前記第2導電型領域を介
して前記第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続さ
れ、

前記第2導電型MOS保護トランジスタのゲートは、前記第1導電型領域を介
して前記第2導電型MOS出力トランジスタのゲート下の第1導電型層に接続さ
れていることを特徴とする請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の出力回路に設けられる、静電破壊防止保護回路に関するものである。

【0002】

【従来の技術】

半導体装置の入力回路や出力回路には、静電破壊防止のために、不要な静電サ
ージが素子部をバイパスするような形で保護素子が形成されている。特許文献1
には、ダイオードを用いた保護回路について開示されている。図6に一般的なL
SIの出力回路を示す。出力電極(PAD)64から見て、NチャネルMOS型
(NMOS)出力トランジスタ61とNMOSダミートランジスタ60がGND
に対して並列に、PチャネルMOS型(PMOS)出力トランジスタ63とPM
OSダミートランジスタ62が電源(VDD)に対して並列に配置されている。

【0003】

ダミートランジスタとは、出力トランジスタのESD(Electro-S
tatic Discharge: 静電気放電)保護能力が低い場合に、ゲート幅
を補う為に挿入する保護トランジスタのことである。ゲートをオフ状態(NMOSト

ランジスタの場合はGNDレベル、PMOSトランジスタの場合はVDDレベル)に固定する。

【0004】

ダミートランジスタの素子構造は、製造上の形成の容易さの点から、出力トランジスタと同一構造になっている場合が多い。しかし近年、サリサイドプロセスが主流になるにつれ、出力トランジスタとダミートランジスタを異なる素子構造にて形成するケースが現れてきている。ダミートランジスタをよりESD保護能力の高い構造にすることにより、出力回路としてのESD保護能力を高めようとするものである。

【0005】

まず、図7にサリサイドプロセスに於ける一般的なESD保護用NMOSトランジスタを示す。(a)が概略平面図であり、A-Aでの概略断面図を(b)に示す。基板70上のPウェル72にソース部N+拡散層73、ドレイン部N+拡散層74、ゲート電極71でNMOSトランジスタを形成する。ドレイン側はコンタクト(拡散層接続孔77)領域とゲート近傍領域を除いてサリサイドブロック75で囲み、コンタクトとゲート電極間の拡散層のシリサイド化を防ぎ抵抗成分を付ける。サリサイドブロック75で囲まれた以外の箇所は、シリサイド76が形成される。

【0006】

こうすることで、ドレインにESDサージが印加されても、非シリサイド領域での抵抗成分による電圧ドロップにより、PN接合にかかるストレスを緩和でき、接合破壊耐性を向上することができる。しかし一方、図7のトランジスタよりもESD耐性の優れた素子構造を持ったトランジスタが、近年の研究で明らかになってきた。

【0007】

図8に示すトランジスタがそれに相当する。(a)が概略平面図であり、B-Bでの概略断面図を(b.)に示す。基板80上のPウェル82にソース部N+拡散層83、ドレイン部N+拡散層84、ゲート電極81でNMOSトランジスタを形成する。ドレイン、ソース上の拡散層接続孔87領域を除いて、トランジス

タ領域全体をシリサイドが形成されないようにシリサイドブロック85で囲む。こうして拡散層接続孔87領域上のみシリサイド86が形成され、ゲート電極近傍及びゲート電極上が、シリサイド化されない構造となる。図7のトランジスタ構造に対してESD耐性が向上するのは、ゲート近傍の拡散層の非シリサイド化が影響していると考えられる。

【0008】

ゲート近傍にシリサイド層があると、低抵抗のシリサイド層をサージ電流が流れるため、PN接合がブレークダウンする際に薄いシリサイド層に電界が加わり接合破壊を引き起こし易くなるのである。入力回路においては、出力回路のように出力トランジスタが存在しないので、このようなESD耐性の優れた保護素子を使用することは、非常に効果的である。しかし、ドレイン、ソースシリサイドブロック構造は、ESD耐性は向上するが、ゲート電極上のシリサイド層が形成されず、ゲートが高抵抗化してしまうので、出力トランジスタとして使うとゲート遅延が大きくなり、高速動作に向かない。

【0009】

そこで出力回路に於いて、ダミートランジスタにはESD耐性が高く、トランジスタ面積を小さくできる図8のトランジスタ構造を用い、出力トランジスタには、従来の図7のトランジスタ構造を使えば、高速動作、高いESD耐性、回路面積の縮小化が同時に実現できることとなる。

【0010】

【特許文献1】

特開2001-358297号公報

【0011】

【発明が解決しようとする課題】

ここで懸念されるのは、出力パッドから正極のサージが加わった場合、出力トランジスタのブレークダウン電圧がダミートランジスタよりも低く、ESDサージに対して出力トランジスタが先に応答して、サージ電流が集中してしまい、高いESD耐性を持つ保護トランジスタ側に流すことができないために、出力電極としてのESD耐性は低下してしまうことである。

【0012】

このように、回路特性とESD耐性とがトレードオフの関係にあり、出力トランジスタと保護トランジスタとのトランジスタ構造が異なるケースは今後も増えていくものと考えられる。

【0013】

本発明は、従来の半導体装置の出力回路に設けられた静電破壊防止保護回路に関する上記問題点に鑑みてなされたものであり、本発明の目的は、出力トランジスタと保護トランジスタのトランジスタ構造が異なって、出力トランジスタのブレークダウンが保護トランジスタより先に起こる場合にも、ESD耐性の劣る出力トランジスタにESDサージ電流が集中せずにダミートランジスタ経由でサージ電流を流すことができ、静電破壊耐性を向上した、新規かつ改良された半導体装置を提供することである。

【0014】

【課題を解決するための手段】

上記課題を解決するため、本発明によれば、第1導電型MOS出力トランジスタのドレインに接続される出力電極から入るサージに対して、第1導電型MOS出力トランジスタを保護するために、第1導電型MOS出力トランジスタのドレインに接続されるドレインと、第1導電型MOS出力トランジスタのソースに接続されるソースと、第1導電型MOS出力トランジスタのゲート下の第2導電型層に接続されたゲートとを有する第1導電型MOS保護トランジスタを含むことを特徴とする半導体装置が提供される。

【0015】

こうして、第1導電型MOS保護トランジスタのゲートと第1導電型MOS出力トランジスタのゲート下ウェル領域（Body領域）を低抵抗に接続することにより、たとえ出力電極から入るESDサージにより第1導電型MOS出力トランジスタが先にブレークダウンを起こしても、ウェル電位の上昇と連動して第1導電型MOS保護トランジスタのゲート電位が上昇するので、第1導電型MOS保護トランジスタのオン電流が流れ第1導電型MOS出力トランジスタにサージ電流が集中せず、第1導電型MOS出力トランジスタを保護することができる

【0016】

ここで、第1導電型MOS保護トランジスタは、第1導電型MOS出力トランジスタよりも静電破壊耐圧が高いことが望ましく、また、第1導電型MOS保護トランジスタのドレインは、なるべく出力電極近くに形成されることが好ましい。こうして出力電極から入る静電サージに対して、第1導電型MOS出力トランジスタをより効果的に保護することができる。

【0017】

さらに、第1導電型MOS保護トランジスタのゲートと第1導電型MOS出力トランジスタのゲート電極下の第2導電型層の接続は、できるだけ低抵抗にするために、直接電極配線によって接続することが好ましく、静電サージに対する応答を速くすることができる。

【0018】

また、第1導電型MOS出力トランジスタ及び第1導電型MOS保護トランジスタは、従来のウェル上に素子を形成する構造のものだけでなく、SOI構造にも適用することができる。この場合、第1導電型MOS出力トランジスタのゲート電極下の第2導電型層と第1導電型MOS保護トランジスタのゲートの接続は、従来構造のように配線できるウェルがないので、ゲート電極下の第2導電型層に隣接して高濃度の第2導電型領域を形成し、その高濃度の第2導電型領域を介して接続する。

【0019】

上記では、出力回路が第1の導電型、例えばP型またはN型のMOS出力トランジスタにより構成されたものであったが、第1の導電型及び第2の導電型、つまり、P型及びN型を用いたCMOS出力トランジスタによる出力回路においても、P型及びN型出力トランジスタのそれぞれに保護トランジスタを接続することにより、同様にサージに対する保護効果を得ることができる。

【0020】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体装置の好適な実施の形

態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0021】

図1に第1の実施の形態について示す。図1(a)は、出力部の概略回路図、(b)は、素子部の断面構造を表す説明図である。また、図2は本実施の形態のダミー(保護)トランジスタを含む出力回路部の概略レイアウト図である。

【0022】

まず本実施の形態の構造について説明する。図1(a)に示すように回路構造としては、第1導電型MOS保護トランジスタとしてESD耐性の高いNMOSダミートランジスタ10と、第1導電型MOS出力トランジスタとしてESD耐性の低いNMOS出力トランジスタ11で構成される出力回路であり、NMOSダミートランジスタ10のドレインはNMOS出力トランジスタ11のドレインに接続されて出力電極(PAD)12に接続し、NMOSダミートランジスタ10のソースはNMOS出力トランジスタ11のソースに接続されて、GND13接地レベルに接続し、NMOSダミートランジスタ10のゲートはNMOS出力トランジスタ11のゲート下の第2導電型層であるPウェルに接続するものである。

【0023】

図1(b)に示すように断面構造としては、P型基板20上にPウェル22を形成し、NMOSダミートランジスタ10部にドレインN+拡散層15、ソースN+拡散層16を、NMOS出力トランジスタ11部にドレインN+拡散層25、ソースN+拡散層26、さらにGNDに接続されるP+コンタクト層27が形成される。NMOSダミートランジスタ10部とNMOS出力トランジスタ11部とは、Nウェル23によって分けられている。NMOSダミートランジスタ10のゲート電極14は、NMOS出力トランジスタ11のP+コンタクト層27を介してPウェル22に接続され、NMOS出力トランジスタ11のゲート電極21は、出力信号線24に接続されている。

【0024】

このときゲート電極とPウェルとは、他のウェルを介さずに、直接に配線等により接続することが好ましい。これは、ウェルを介すと高いウェル抵抗が入ってしまうためである。ESDサージは、数10nsecという周期の短い外乱ノイズなので、保護トランジスタのゲート電位が上昇するまでの遅延は、できる限り小さくする必要があり、抵抗の小さいメタル配線で直接接続する。

【0025】

図2のレイアウト図にNMOSダミートランジスタ10のゲート電極14がP+コンタクト層27(Pウェル22)に接続されている配線例を示す。接続箇所30に接続孔を設けてPウェル22上のメタル配線28と接続されている。ゲート電極14とPウェル22を電極配線にて接続するので、従来構造と比べてレイアウト面積が増加することはない。

【0026】

ここで、図1での出力回路は図や構造をわかり易くするために、NMOS出力トランジスタのみの出力回路構成となっている。しかし勿論、従来技術で述べたようなNMOS出力トランジスタとPMOS出力トランジスタとを用いるCMOS出力構成にも適用することができる。この場合、図3に示すようにPMOS出力トランジスタ18側においては、PMOS保護トランジスタ17のゲートとPMOS出力トランジスタのNウェルを接続する。

【0027】

本実施の形態による出力回路に出力PADから正極のESDサージが進入した際には、NMOSダミートランジスタよりも先にNMOS出力トランジスタのドレイン、Pウェル間がブレークダウンを起こしたとしても、Pウェルに注入されるホールにより、Pウェル電位が上昇して、NMOS出力トランジスタが構成する寄生NPNバイポーラトランジスタがターンオンする前に、上昇したPウェル電位がNMOSダミートランジスタのゲートに供給されるので、NMOSダミートランジスタがオンしてトランジスタ電流としてESDサージ電流の一部をGNDに流すことになる。

【0028】

次に、サージ電流が出力パッドに入力された場合の各トランジスタの動作につ

いて、印加されたサージがパッドからGNDへと至る動作順に説明する。まず、NMOSトランジスタの正極サージに対する振る舞いについて説明する。NMOSトランジスタのドレインに正極サージが印加されると、ドレイン(N+)、Pウェル(P-)のPN接合に逆バイアスがかかるため、ある電圧を超えるとブレークダウンを起こして、Pウェル内に正孔(ホール)が注入される。そのホールがGND電位に固定されたP+拡散層に到達する際にウェル(基板)電流が流れることで、ウェル電位が上昇する。

【0029】

Pウェル電位がPN接合のフラットバンド電圧を超えると、Pウェル、ソース(N+)間が順バイアスとなりソースに向かって電流が流れ、ドレイン(N+)、Pウェル(P-)、ソース(N+)で形成されるNPN寄生バイポーラがオンし、ドレイン(コレクタ)からソース(エミッタ)にバイポーラ電流が流れる。つまり、静電気サージをバイポーラ電流としてGNDに流すことになる。

【0030】

ここで出力パッドに正極サージが侵入した際に、仮にESD耐性の低い出力トランジスタ側で先にブレークダウンを起こしてPウェル(基板)の電位が上昇しても、その上昇した電位がPウェルに直接接続されたダミー(保護)トランジスタのゲートに伝播され、保護トランジスタがオンすることになる。またその間に保護トランジスタ側でもブレークダウンが起こると思われる所以、実際の動作としては、出力トランジスタのバイポーラ電流、保護トランジスタ側のオン電流とバイポーラ電流が並列に流れることになる。こうして、出力トランジスタ側だけに静電気サージが集中して流れることはないので、破壊耐圧が向上する。

【0031】

次に、出力パッドに負極のサージが加わった場合は、負極サージはNMOSトランジスタではPN接合の順バイアスになるので、正極サージのように局所的に電界がかかりブレークダウンを起こさない(空乏層が伸びない)為、ESD耐性は一般的に正極サージの時より強くなる。出力トランジスタと保護トランジスタで形状が異なっていたとしても、フラットバンド電圧の差は殆どないので、出力トランジスタと保護トランジスタとで立ち上がり(応答)は変わらず、ほぼ分流

してGNDに対して流れる。

【0032】

こうして、本実施の形態では、ESD耐性が高いがブレークダウンの遅いダミートランジスタのゲートとESD耐性が低いがブレークダウンの早い出力トランジスタのBody領域を接続するだけで、ESDサージで出力トランジスタが先にブレークダウンを起こしてもBody電位の上昇と連動してダミートランジスタのゲート電位が上昇するので、ダミートランジスタのオン電流が流れて出力トランジスタにサージ電流が集中せず、出力トランジスタを保護することができる。

【0033】

また、本実施の形態は、上記のようなバルク構造の素子だけでなく、SOI (Silicon On Insulator) 構造を用いた素子の出力回路にも適用可能である。図4に一般的なSOI構造の素子について、(a)に概略平面図、(b)に概略断面図を示す。

【0034】

SOI構造では、基板40上に埋め込み酸化膜42層を形成し、その上にドレイン部N+拡散層43、ソース部N+拡散層44、ゲート部P-拡散層45、フィールド酸化膜47を形成し、N+拡散層43、N+拡散層44及びゲート電極41の上部には更にシリサイドを形成する。薄いN+拡散層で素子を形成するため、ウェルは存在しない。そのため、保護トランジスタのゲート電極41は、ゲート電極下のP-拡散層45領域に接続することで、バルク構造と同様の効果を得ることができる。

【0035】

ここで、ゲート電極をP-領域に接続するためには、例として図5に示すようにP-拡散層45領域に接続するP+領域51を新たに形成し、このP+領域51に電極配線を介してゲート電極を接続することが望ましい。このような構成とすることにより、接続抵抗を高くすることなく、保護トランジスタのゲート電極41をP-拡散層45に接続することが可能となる。

【0036】

なお、出力回路がNMO S及びPMOS出力トランジスタにて構成される場合、NMO S出力トランジスタのゲート電極下P-拡散層45に接続されるP+領域51は、PMOS出力トランジスタのソースまたはドレインを構成するP+拡散層の形成工程にて同時に形成することが可能である。つまり、P+領域51を形成する新たな工程が不要となるため、全体の工程数を増加させることなく、本実施の形態の半導体装置を実現することができるようになる。

【0037】

本実施の形態においては、出力回路がNMO S及びPMOS出力トランジスタにて構成される場合におけるP+領域51を例に挙げて説明を行ったが、出力回路がNMO S及びPMOS出力トランジスタにて構成される場合のPMOS保護トランジスタのゲート電極を接続するN+領域を形成する場合についても、P+領域51を形成する場合と同様に形成することが可能である。

【0038】

以上、添付図面を参照しながら本発明にかかる半導体装置の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0039】

【発明の効果】

以上説明したように本発明によれば、ESD耐性が高い保護トランジスタのゲートと出力トランジスタのBody領域を電極配線で低抵抗に接続することにより、たとえ出力電極から入るESDサージにより出力トランジスタが先にブレーカダウンを起こしても、Body電位の上昇と連動して保護ダミートランジスタのゲート電位が上昇するので、保護トランジスタのオン電流が流れ出力トランジスタにサージ電流が集中せず、出力トランジスタを保護することができる。

【0040】

また、電極配線で接続することにより、レイアウト面積を増加させることもなく、出力トランジスタには、ESD耐性が低くても、より高速な素子構造を採用

できるので、半導体装置としての性能を向上させることができる。

【図面の簡単な説明】

【図1】

本実施の形態にかかる、(a)は、出力部の概略回路図、(b)は、素子部の断面構造を表す説明図である。

【図2】

本実施の形態にかかる、ダミートランジスタを含む出力回路部の実際のレイアウト図である。

【図3】

本実施の形態にかかり、出力回路構成がCMOS出力トランジスタである場合の概略回路図である。

【図4】

本実施の形態にかかり、SOI構造の素子について、(a)に概略平面図、(b)に概略断面図を示す。

【図5】

本実施の形態にかかり、SOI構造の素子の場合について、P+領域にゲート電極を直接接続する方法を示す概略パターン図である。

【図6】

従来技術による保護トランジスタを含む、一般的なLSIの出力回路である。

【図7】

サリサイドプロセスにおける一般的なESD保護NMOSトランジスタについて、(a)はパターン概略平面図、(b)はA-Aの概略断面図である。

【図8】

サリサイドプロセスにおいて、更にESD耐性の優れた素子構造を持ったNMO�トランジスタについて、(a)はパターン概略平面図、(b)はA-Aの概略断面図である。

【符号の説明】

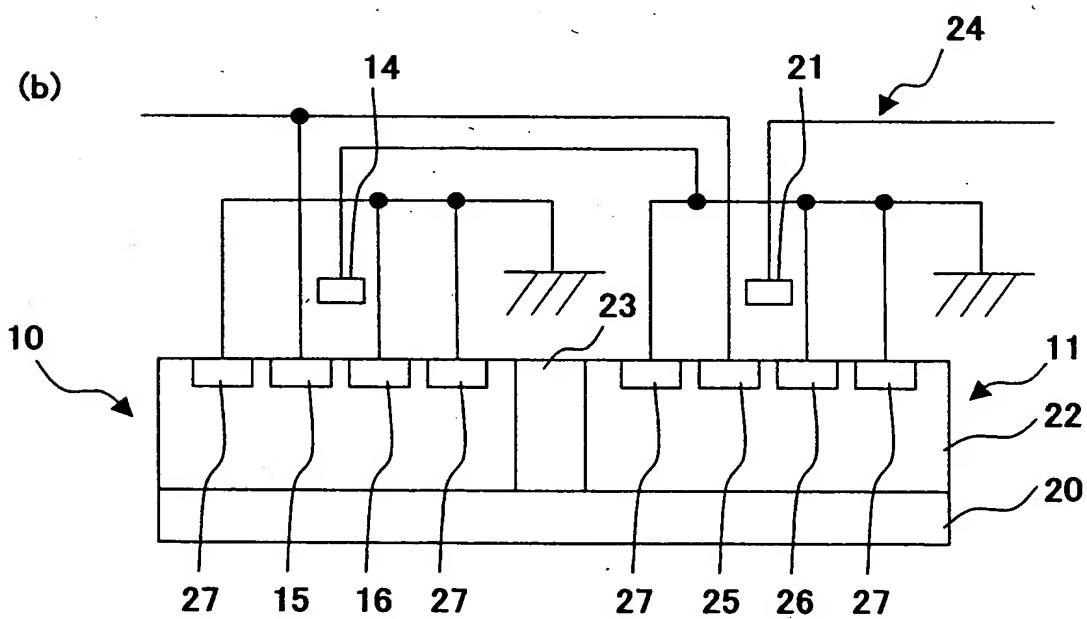
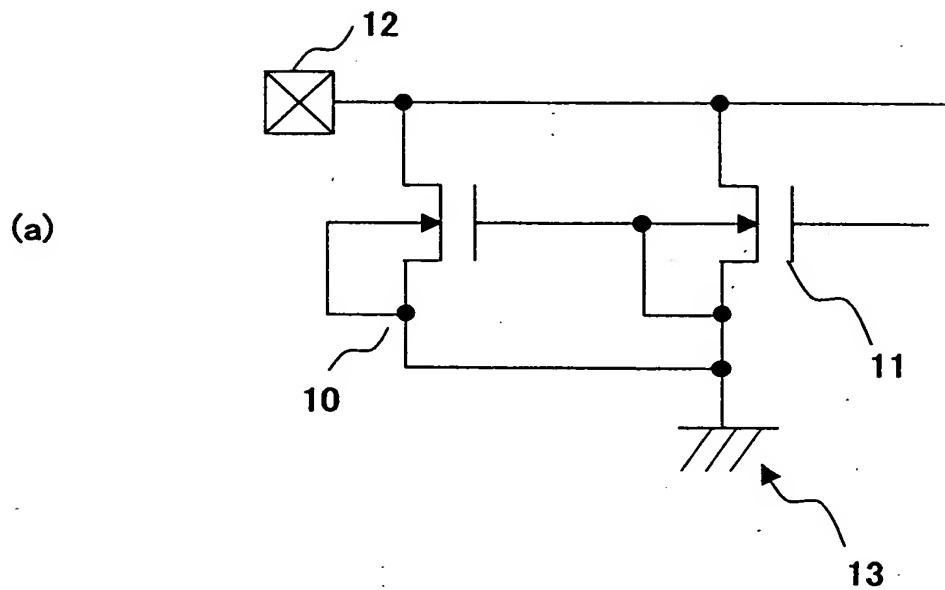
10 NMOSダミートランジスタ

11 NMOS出力トランジスタ

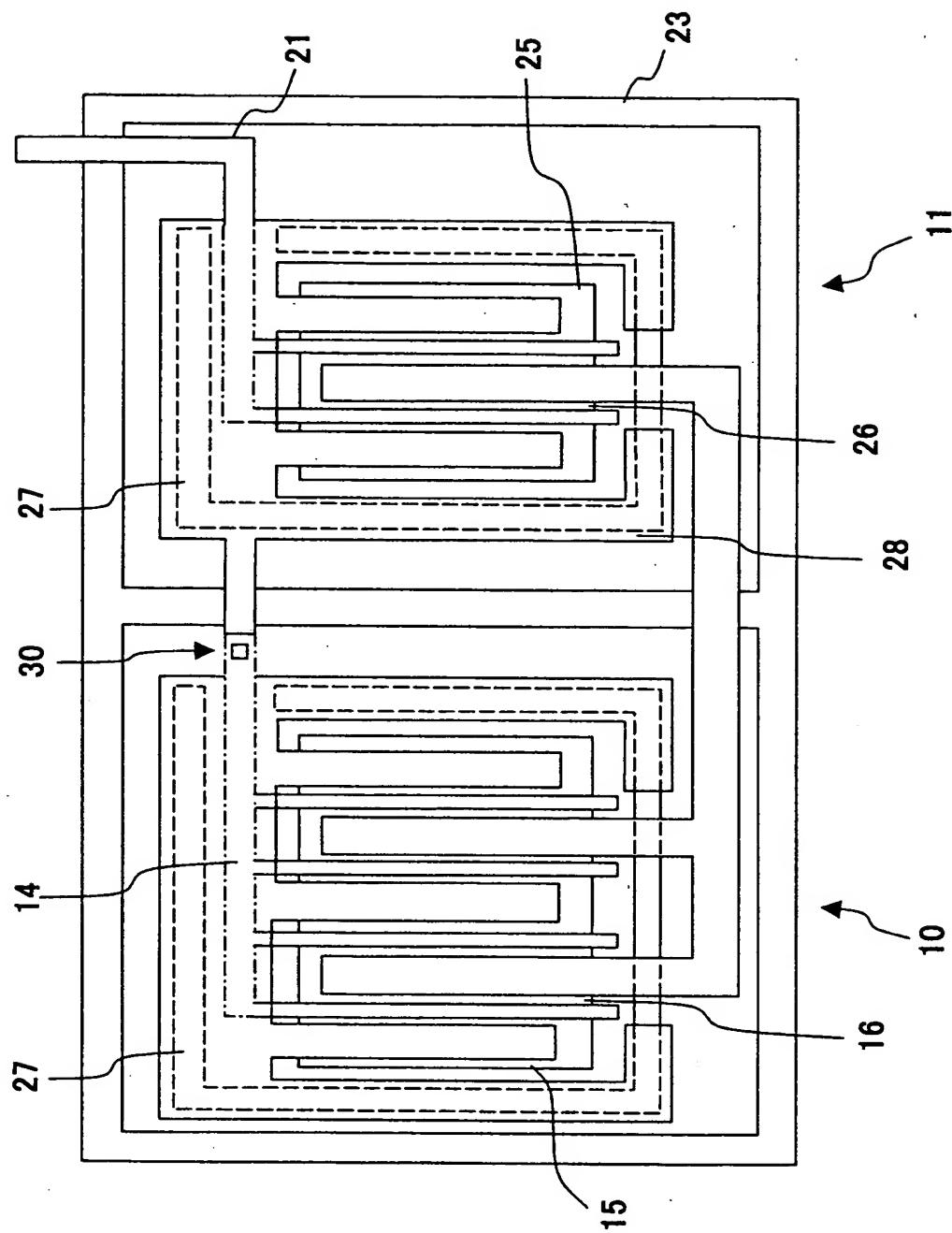
- 1 2 出力パッド
- 1 3 GND
- 1 4 ゲート電極
- 1 5 N+拡散層
- 1 6 N+拡散層
- 2 0 P型基板
- 2 2 Pウェル
- 2 3 Nウェル
- 2 4 出力信号線
- 2 5 N+拡散層
- 2 6 N+拡散層
- 2 7 P+コンタクト層

【書類名】 図面

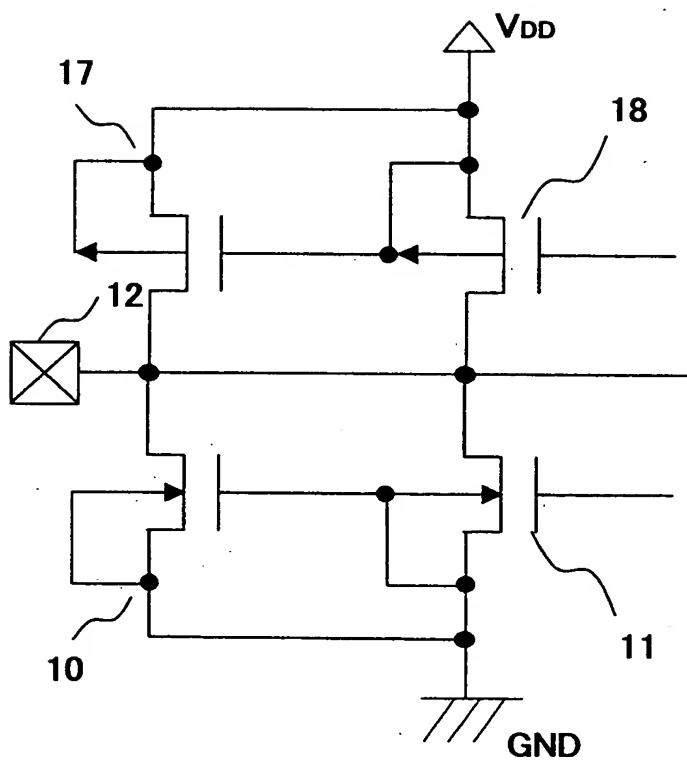
【図1】



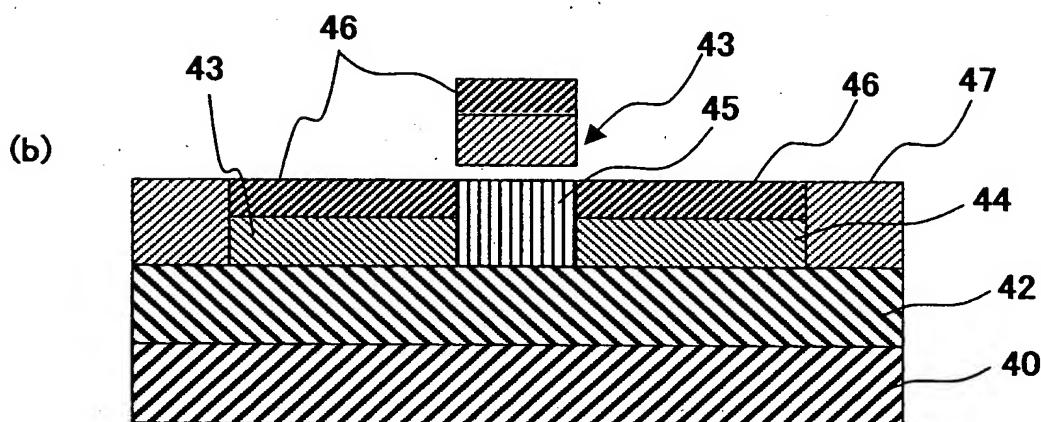
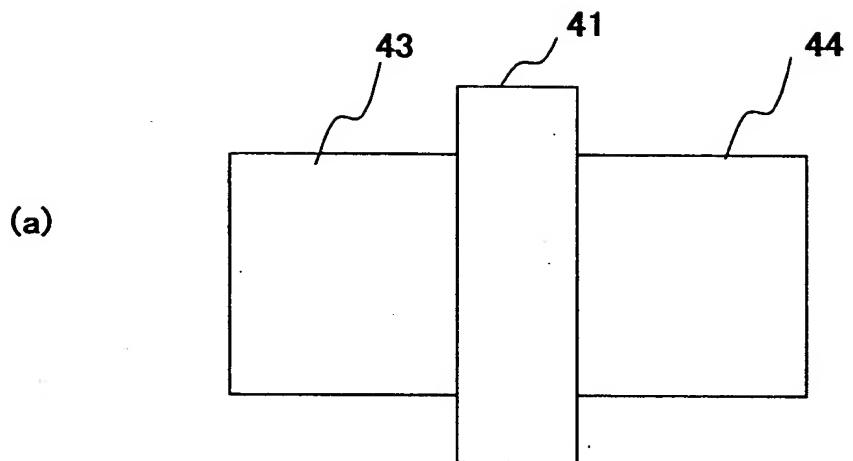
【図2】



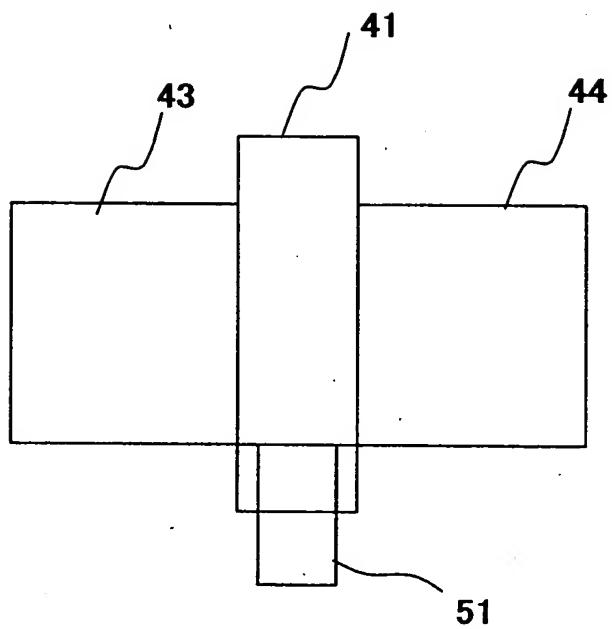
【図3】



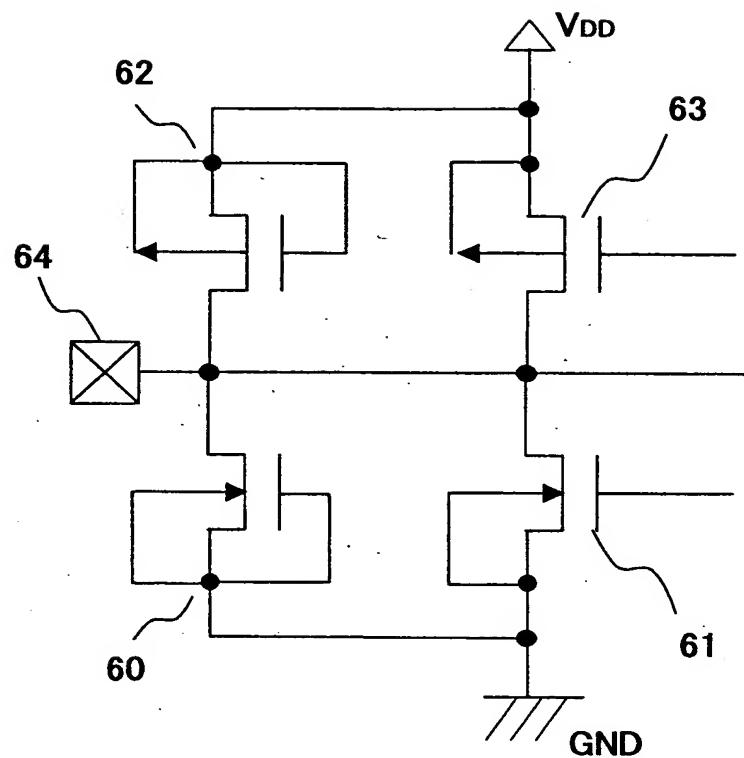
【図4】



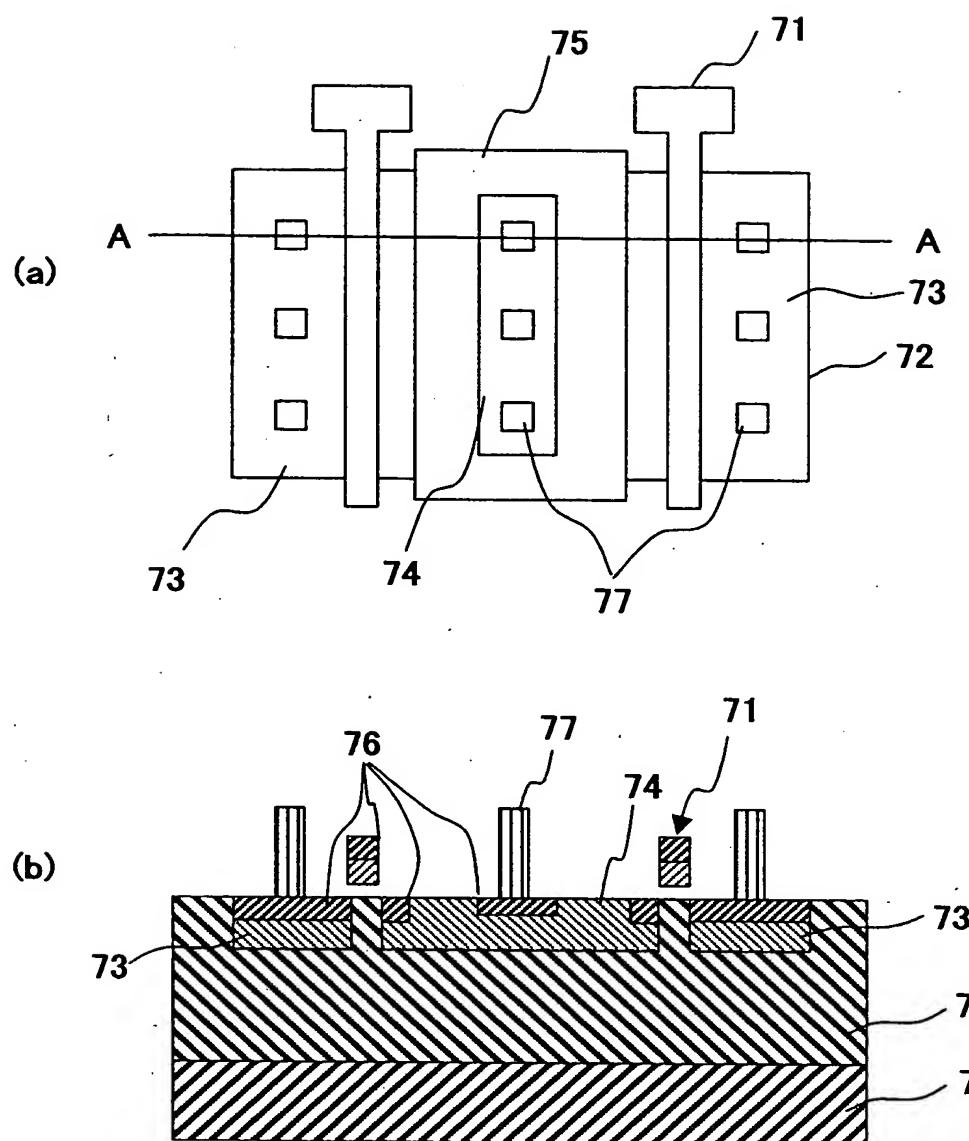
【図5】



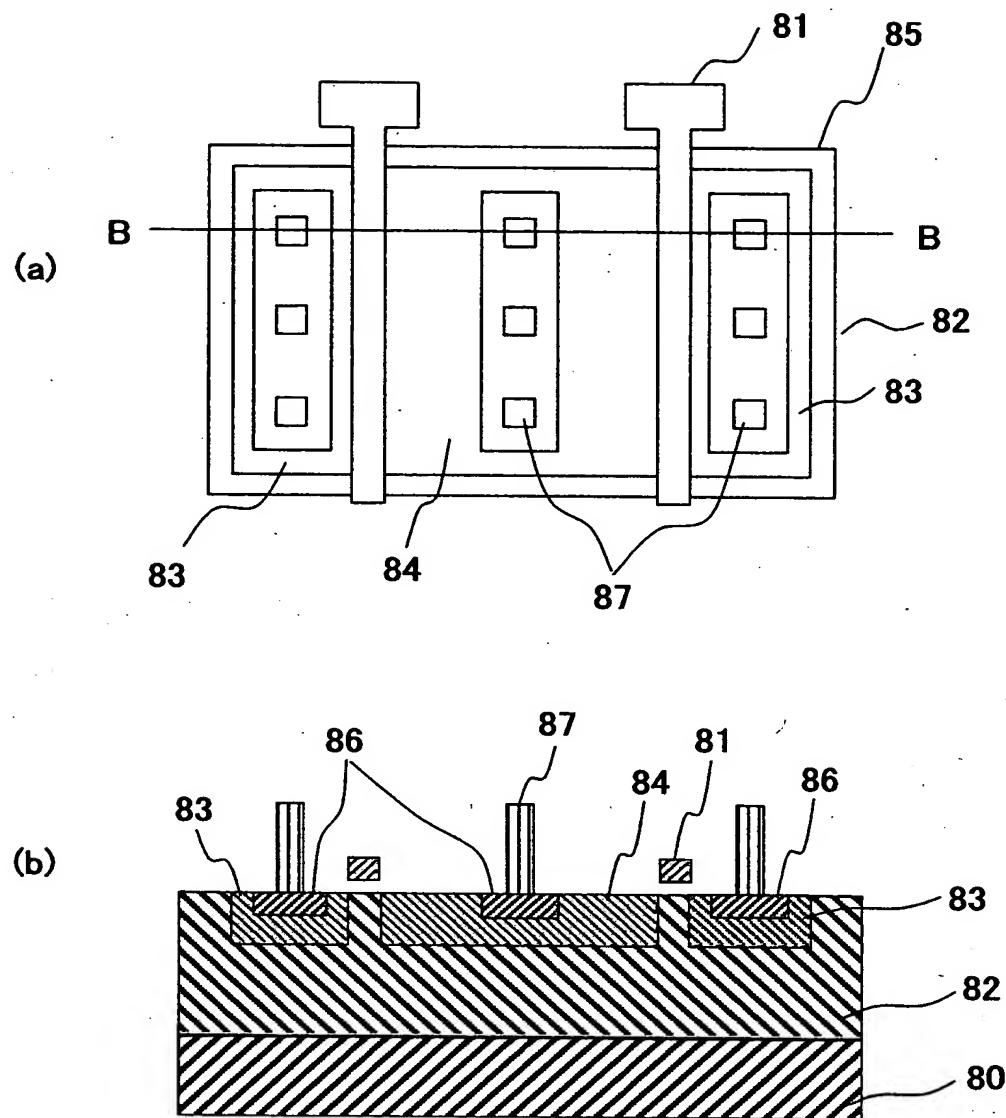
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 出力トランジスタと保護トランジスタのトランジスタ構造が異なつて、出力トランジスタのブレークダウンが保護トランジスタより先に起こる場合にも、ESD耐性の劣る出力トランジスタにESDサージ電流が集中せずに、静電破壊耐性を向上した半導体装置を提供する。

【解決手段】 第1導電型の例えばNMOS出力トランジスタ11のドレインが出力電極に接続され、ソースが接地されている出力回路において、ドレイン及びソースがNMOS出力トランジスタ11の各々ドレイン及びソースに接続され、ゲートがNMOS出力トランジスタ11のゲート電極下の第2導電型の層であるPウェル22に直接接続されたNMOS保護トランジスタ10を形成することにより、静電サージがNMOS出力トランジスタ11に集中せずに保護トランジスタの効果を高めることができる。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社